(19) 世界知的所有権機関 国際事務局



(43) 国際公開日 2005年9月29日(29.09.2005)

PCT

TP:

(10) 国際公開番号 WO 2005/091146 A1

(51)	国際特許分類7:	G06F 12/08	(NAKANISHI, Ryuta). 園林 はづき (OKABAYASHI, Hazuki). 田中 智也 (TANAKA, Tetsuya). 清原 育三 (KJYOHARA, Tokuzou). (74) 代理人: 新医 広守 (NII, Hiromori); 〒5320011 大原舟 大阪市企川区西中島3丁目 1 番26号 新大原来広
(21)	国際出願番号:	PCT/JP2005/004676	
(22)	国際出願日:	2005年3月16日(16.03.2005)	
(25)	国際出願の言語:	日本語	
(26)	国際公開の言語:	日本語	センタービル 3 F 新居国際特許事務所内 Osaka (JP).

2004年3月24日(24.03.2004)

新居国際特許事務所内 Osaka (JP). (81) 指定国/表示のない限り、全ての種類の国内保護が 可能); AF, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

SG. SK. SL. SM. SY. TJ. TM. TN. TR. TT. TZ, UA, UG. US, UZ, VC, VN, YU, ZA, ZM, ZW,

/綺菜有/

(72) 発明者: および

(30) 優先権データ:

特第7004-086174

(75) 発明者/出願人/米国についてのみ): 中西 能太

字門真 1006番地 Osaka (JP).

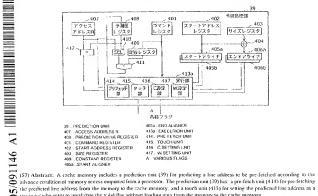
(71) 出願人(米国を除く全ての指定国について):松下電

器產業株式会社 (MATSUSIUTA ELECTRIC INDUS-

TRIAL CO., LTD.) (JP/JP): 〒5718501 大阪府門真市大

(54) Title: CACHE MEMORY AND CONTROL METHOD THEREOF

(54) 発明の名称: キャッシュメモリ及びその制御方法



manance condition of memory access outputted from a processor. The prediction unit (39) has a pre-fetched according to the unvance condition of memory access outputted from a processor. The prediction unit (39) has a pre-fetch unit (414) for pre-fetching the predicted has address from the memory to the excite memory, and a touch unit (415) for swring the predicted line address as a tag in a cache entity to unvalidate the valid flag without loading data from the memory to the cache memory.

(57) 图40. ***

(57) 婆約: 本発明のキャッシュメモリは、プロセッサから出力されるメモリアクセスの進行状況に基づいて次にプ リフェッチすべきラインアドレスを予測する予測処理部39を有し、予測処理部39は、メモリからキャッシュメモ

/絃葉有/